

EXTERNAL STORAGE SUBSYSTEM

Patent number: JP5158797
Publication date: 1993-06-25
Inventor: INOUE YASUO
Applicant: HITACHI LTD
Classification:
 - **international:** G06F3/06; G06F12/08; G06F13/12; G06F13/38
 - **europen:**
Application number: JP19910322965 19911206
Priority number(s): JP19910322965 19911206

Also published as:

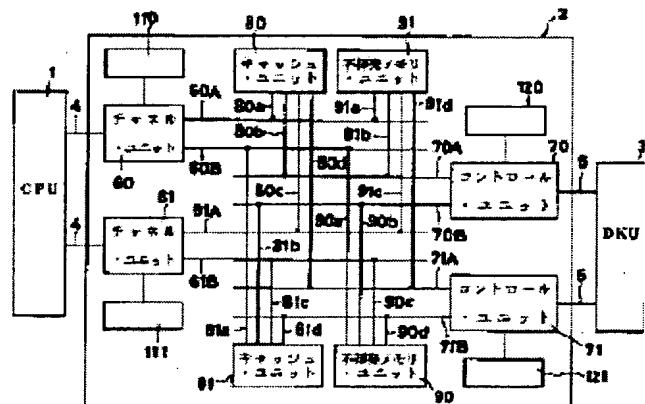
 US5459856 (A)

[Report a data error](#) [he](#)

Abstract of JP5158797

PURPOSE: To obtain an external storage subsystem in which an endurance against a fault can be satisfactory, and a cache function whose reliability is high can be realized.

CONSTITUTION: A disk controller 2 interposed between a central processing unit 1 and a magnetic disk device 3 is equipped with plural isolated cache units 80 and 81, and nonvolatile memory units 90 and 91. Plural channel units 60 and 61 which control the transfer of data with the central processing unit side, and plural control units 70 and 71 which control the transfer of the data with the magnetic disk device 3 side, are independently connected through data buses 60A, 60B, 61A, 61B, 70A, and 70B, and access lines 80a-80d, 81a-81d, 90a-90d, and 91a-91d to the plural cache units 80 and 81, and the nonvolatile units 90 and 91.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-158797

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl.⁵ 識別記号 庁内整理番号

G 0 6 F 12/08	3 2 0	7232-5B
3/06	3 0 2	A 7165-5B
13/12	3 3 0	T 7230-5B
13/38	3 4 0	C 8725-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 5(全 11 頁)

(21)出願番号 特願平3-322965

(22)出願日 平成3年(1991)12月6日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 井上 靖雄

神奈川県小田原市国府津2880番地 株式会社

内場原田小所製作製作立日社

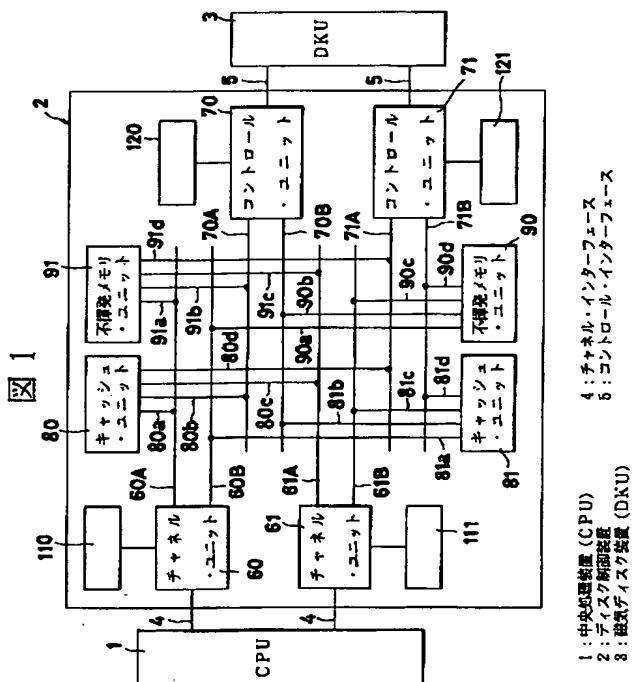
(74)代理人 弁理士 簡井 大和

(54)【発明の名称】 外部記憶サブシステム

(57) 【要約】

【目的】 障害に対する耐性が良好で、信頼性の高いキヤッッシュ機能を実現することが可能な外部記憶サブシステムを提供する。

【構成】 中央処理装置1と磁気ディスク装置3との間に介在するディスク制御装置2には、互いに独立な複数面のキャッシュ・ユニット80, 81および不揮発メモリ・ユニット90, 91が設けられている。中央処理装置1の側とのデータの授受を制御する複数のチャネル・ユニット60, 61、および磁気ディスク装置3の側との間におけるデータの授受を制御する複数のコントロール・ユニット70, 71は、各々のデータ・バス60A, 60B, 61A, 61B, 70A, 70Bおよび、アクセス線80a～80d, 81a～81d, 90a～90d, 91a～91dを介して独立に、複数のキャッシュ・ユニット80, 81および不揮発メモリ・ユニット90, 91に接続されている。



【特許請求の範囲】

【請求項1】 上位装置からアクセスされるデータを記憶する回転形記憶装置と、持久性半導体メモリおよび非持久性半導体メモリの少なくとも一方を記憶媒体として前記回転形記憶装置と前記上位装置との間で授受される前記データを一時的に保持することにより、前記上位装置からの前記回転形記憶装置に対するアクセス要求に応答するキャッシング機構を有する外部記憶制御装置とを含む外部記憶サブシステムであって、互いに独立な複数のキャッシング機構と、この複数のキャッシング機構に各々に対しても前記上位装置および前記回転形記憶装置からの独立したアクセスを可能にする複数の独立なアクセス経路とを備えたことを特徴とする外部記憶サブシステム。

【請求項2】 前記外部記憶制御装置は、前記上位装置との間における前記データの授受を制御する複数のチャネル・ユニットと、前記回転形記憶装置との間における前記データの授受を制御する複数のコントロール・ユニットとを備え、前記チャネル・ユニットおよび前記コントロール・ユニットの各々は、複数の前記キャッシング機構が独立に接続される複数の第1のアクセス経路を備えたことを特徴とする請求項1記載の外部記憶サブシステム。

【請求項3】 前記外部記憶制御装置は、前記上位装置との間における前記データの授受を制御する複数のチャネル・ユニットと、前記回転形記憶装置との間における前記データの授受を制御する複数のコントロール・ユニットとを備え、複数の前記キャッシング機構の各々が、複数の前記チャネル・ユニットおよびコントロール・ユニットの各々が接続される複数の第2のアクセス経路を備えたことを特徴とする請求項1記載の外部記憶サブシステム。

【請求項4】 前記外部記憶制御装置は、前記上位装置との間における前記データの授受を制御する複数のチャネル・ユニットと、前記回転形記憶装置との間における前記データの授受を制御する複数のコントロール・ユニットとを備え、前記チャネル・ユニット、コントロール・ユニットおよび複数キャッシング機構に対して独立な複数の第3のアクセス経路を設け、この第3のアクセス経路に対して、複数の前記チャネル・ユニット、コントロール・ユニットおよび複数の前記キャッシング機構が個別に接続されるようにしたことを特徴とする請求項1記載の外部記憶サブシステム。

【請求項5】 前記外部記憶制御装置は、前記上位装置との間における前記データの授受を制御する複数のチャネル・ユニットと、前記回転形記憶装置との間における前記データの授受を制御する複数のコントロール・ユニットとを備え、個々のチャネル・ユニットおよびコントロールの各々と、複数の前記キャッシング機構の各々とを直接かつ独立に接続する第4のアクセス経路を備えたことを特徴とする請求項1記載の外部記憶サブシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、外部記憶サブシステムに関し、特に、キャッシング機能を備えた外部記憶サブシステムの信頼性の向上に適用して有効な技術に関する。

【0002】

【従来の技術】 たとえば、汎用の電子計算機システムなどにおいて外部記憶装置として用いられる磁気ディスクサブシステムなどにおいては、ディスク制御装置の一部に半導体メモリなどからなる周知のキャッシングメモリを介在させることによって、磁気ディスク装置における回転待ちなどの機械的な要因に起因するデータ転送速度の低下を可能な限り回避する技術が知られている。

【0003】 このような、ディスク制御装置におけるキャッシング構造に関しては、A Multiport Page-memory Architecture and A Multiport Disk-Cache System (New Generation Computing 2 (1984) 241-260 OHM SHA. LTD. and Springer-Verlag)において論じられているように、複数のメモリバンクに分割することで、キャッシングに対するアクセス性能の向上を図る方式が検討されている。さらに、複数個のメモリバンクとチャネルまたはディスク制御装置を結合する方式として Interconnection Network と呼ばれるスイッチ網が提案されている。

【0004】

【発明が解決しようとする課題】 上記従来技術は、複数個のメモリ・バンクとスイッチ網を装備することによりキャッシング機能を向上させることを目的としており、ディスク制御装置内部のデータ・バス構造に関しては Interconnection Network と呼ばれるスイッチ網方式が検討されている。しかし、複数個のメモリ・バンクと複数個のチャネル・ユニット、又は複数個のコントロール・ユニットを結びデータ交換を行うデータ・バス構成を実現する場合、スイッチ網方式はハードウェア設計上の制約を受け問題があった。

【0005】 また、メモリ・バンクによって構成されるキャッシング・ユニットの多重化についてはなんら言及していない。

【0006】 本発明の目的は、ハードウェア上のデータ転送レートやデータ・バス幅等の制約条件を考慮して、上位装置側の複数個のキャッシング・ユニットと複数個のチャネル・ユニット、又は回転形記憶装置側の複数個のコントロール・ユニットを結ぶデータ・バス構造を実現することにある。

【0007】 本発明の他の目的は、障害に対する耐性が良好で、信頼性の高いキャッシング機能を備えた外部記憶サブシステムを提供することにある。

【0008】 本発明の前記ならびにその他の目的と新規

な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0010】すなわち、本発明の外部記憶サブシステムは、上位装置からアクセスされるデータを記憶する回転形記憶装置と、持久性半導体メモリおよび非持久性半導体メモリの少なくとも一方を記憶媒体とし、回転形記憶装置と上位装置との間で授受されるデータを一時的に保持することにより、上位装置からの回転形記憶装置に対するアクセス要求に応答するキャッシング機構を備えた外部記憶制御装置とを含む外部記憶サブシステムにおいて、互いに独立な複数のキャッシング機構と、この複数のキャッシング機構に各々に対して上位装置および回転形記憶装置からの独立したアクセスを可能にする複数の独立なアクセス経路とを備えるようにしたものである。

【0011】また、本発明の外部記憶サブシステムは、請求項1記載の外部記憶サブシステムにおいて、外部記憶制御装置は、上位装置との間におけるデータの授受を制御する複数のチャネル・ユニットと、回転形記憶装置との間におけるデータの授受を制御する複数のコントロール・ユニットとを備え、チャネル・ユニットおよびコントロール・ユニットの各々が、複数のキャッシング機構が独立に接続される複数の第1のアクセス経路を備えるようにしたものである。

【0012】また、本発明の外部記憶サブシステムは、請求項1記載の外部記憶サブシステムにおいて、上位装置との間におけるデータの授受を制御する複数のチャネル・ユニットと、回転形記憶装置との間におけるデータの授受を制御する複数のコントロール・ユニットとを備え、複数のキャッシング機構の各々が、複数のチャネル・ユニットおよびコントロール・ユニットの各々が接続される複数の第2のアクセス経路を備えるようにしたものである。

【0013】また、本発明の外部記憶サブシステムは、請求項1記載の外部記憶サブシステムにおいて、上位装置との間におけるデータの授受を制御する複数のチャネル・ユニットと、回転形記憶装置との間におけるデータの授受を制御する複数のコントロール・ユニットとを備え、チャネル・ユニット、コントロール・ユニットおよび複数キャッシング機構に対して独立な複数の第3のアクセス経路を設け、この第3のアクセス経路に対して、複数のチャネル・ユニット、コントロール・ユニットおよび複数のキャッシング機構が個別に接続されるようにしたものである。

【0014】また、本発明の外部記憶サブシステムは、請求項1記載の外部記憶サブシステムにおいて、上位装置との間におけるデータの授受を制御する複数のチャネ

ル・ユニットと、回転形記憶装置との間におけるデータの授受を制御する複数のコントロール・ユニットとを備え、個々のチャネル・ユニットおよびコントロールの各々と、複数のキャッシング機構の各々とを直接かつ独立に接続する第4のアクセス経路を備えるようにしたものである。

【0015】

【作用】上記した本発明の外部記憶サブシステムによれば、キャッシング・ユニットが多重化されているとともに、個々のキャッシング・ユニットに対する上位装置および回転形記憶装置によるアクセス経路が独立な構成であるため、複数個のキャッシング・ユニットと複数個のチャネル・ユニット、又は複数個のコントロール・ユニットを組み合わせることにより、データ転送レートやデータ・バス幅等を最適に構成することができる。

【0016】また、キャッシング・ユニットおよび当該キャッシング・ユニットに対するアクセス経路が多重化されているので、障害の発生に際しても、キャッシング機能を維持できる確率が高くなり、外部記憶サブシステムの障害に対する耐性および信頼性が確実に向上する。

【0017】

【実施例1】以下、本発明の一実施例である外部記憶サブシステムの一例を図面を参照して説明する。

【0018】本実施例のコンピュータ・システムは、図1に例示されるように、中央処理装置(CPU)1とディスク・サブシステムから構成されている。ディスク・サブシステムは、ディスク制御装置2と磁気ディスク装置3から構成されている。

【0019】CPU1とディスク制御装置2は複数のチャネル・インターフェース4を介して接続され、ディスク制御装置2と磁気ディスク装置3は複数のコントロール・インターフェース5を介して接続されている。

【0020】そして、CPU1は、チャネル・インターフェース4を経由してディスク制御装置2にアクセス命令を発行し、ディスク制御装置2がCPU1からの指令に従ってコントロール・インターフェース5を介して磁気ディスク装置3を制御することにより、データの読みだし又は書き込み制御を行う。

【0021】ディスク制御装置2において、チャネル・インターフェース4の接続側には、チャネル制御プロセッサ110およびチャネル制御プロセッサ111の配下で稼働する複数のチャネル・ユニット60およびチャネル・ユニット61が設けられており、コントロール・インターフェース5の接続側には、コントロール・ユニット制御プロセッサ120およびコントロール・ユニット制御プロセッサ121の配下で稼働するコントロール・ユニット70およびコントロール・ユニット71が設けられている。

【0022】ディスク制御装置2に対してCPU1から発行された命令は、チャネル・ユニット60、61で受

付られ、チャネル制御プロセッサ110, 111で解読され、磁気ディスク装置3を制御するのに必要なコントロール・ユニット制御プロセッサ120, 121に渡し、コントロール・ユニット制御プロセッサ120, 121がコントロール・ユニット70, 71を介して磁気ディスク装置3を制御する。

【0023】ディスク制御装置2内には、図示しない半導体メモリを記憶媒体としてデータを一時記憶する、互いに独立な2面のキャッシング・ユニット80, キャッシュ・ユニット81と、やはり互いに独立な2面の不揮発メモリ・ユニット90および不揮発メモリ・ユニット91が装備されている。不揮発メモリ・ユニット90, 91は、書き換え可能なメモリで外部からの電源供給の有無に関係なく一定時間データを保持する能力を備えている。

【0024】キャッシング・ユニット80および81の各々の容量は、たとえば、それぞれが単独で、磁気ディスク装置3の記憶容量にみあつた充分なキャッシング動作が可能な値に設定されている。同様に、不揮発メモリ・ユニット90および91の各々の容量は、たとえば、それぞれが単独で、磁気ディスク装置3の記憶容量にみあつた充分なキャッシング動作が可能な値に設定されている。

【0025】この場合、チャネル・ユニット60には、複数の互いに独立なデータ・バス60A, データ・バス60Bが設けられている。データ・バス60Aの側には、アクセス線80aを介してキャッシング・ユニット80が接続され、アクセス線91aを介して不揮発メモリ・ユニット91が、独立に接続されている。データ・バス60Bの側には、アクセス線81aを介してキャッシング・ユニット81が接続され、アクセス線90aを介して不揮発メモリ・ユニット90が接続されている。

【0026】同様に、チャネル・ユニット61には、複数の互いに独立なデータ・バス61A, データ・バス61Bが設けられている。データ・バス61Aには、アクセス線80cを介してキャッシング・ユニット80が接続され、アクセス線91cを介して不揮発メモリ・ユニット91が接続されている。データ・バス61Bの側には、アクセス線81cを介してキャッシング・ユニット81が接続され、アクセス線90cを介して不揮発メモリ・ユニット90が接続されている。

【0027】また、コントロール・ユニット70には、複数の互いに独立なデータ・バス70A, データ・バス70Bが設けられている。データ・バス70Aには、アクセス線80bを介してキャッシング・ユニット80が接続され、アクセス線91bを介して不揮発メモリ・ユニット91が接続されている。データ・バス70Bの側には、アクセス線81bを介してキャッシング・ユニット81が接続され、アクセス線90bを介して不揮発メモリ・ユニット90が接続されている。

【0028】同様に、コントロール・ユニット71に

は、複数の互いに独立なデータ・バス71A, データ・バス71Bが設けられている。データ・バス71Aには、アクセス線80dを介してキャッシング・ユニット80が接続され、アクセス線91dを介して不揮発メモリ・ユニット91が接続されている。データ・バス71Bの側には、アクセス線81dを介してキャッシング・ユニット81が接続され、アクセス線90dを介して不揮発メモリ・ユニット90が接続されている。

【0029】すなわち、本実施例の構成では、チャネル・ユニット60, 61およびコントロール・ユニット70, 71のいずれも、互いに独立な経路によって、キャッシング・ユニット80, 81および不揮発メモリ・ユニット90, 91にアクセスすることが可能になっている。

【0030】以下、本実施例の外部記憶サブシステムの作用の一例を説明する。

【0031】ディスク制御装置2に対してCPU1から送られてきたライトデータは、チャネル制御プロセッサ110または111の指示により、一時的にチャネル・ユニット60または61及びデータ・バス60A, 60B, 61A, 61Bのいずれかを経由して2組のキャッシング・ユニット80または81と、不揮発メモリ・ユニット90または91のどちらかの組に蓄えられる。その後、コントロール・ユニット制御プロセッサ120または121の指示によりキャッシング・ユニット80, 81のいずれか、又は不揮発メモリ・ユニット90, 91のいずれかからデータを読みだしデータ・バス70A～71B及びコントロール・ユニット70または71を介して磁気ディスク装置3にライトデータを格納する。

【0032】一方、CPU1からのデータ読みだし要求をチャネル・ユニット60または61を介して受け取ったチャネル制御プロセッサ110または111は、2組のキャッシング・ユニット80または81及び不揮発メモリ・ユニット90または91の内容を調べCPU1が要求したデータが有った場合、キャッシング・ユニット80または81又は不揮発メモリ・ユニット90または91からリードデータをデータ・バス60A～61Bのいずれか及びチャネル・ユニット60または61を介してCPU1へ送る。

【0033】CPU1が要求したデータが2組のキャッシング・ユニット80または81と不揮発メモリ・ユニット90または91に存在しない場合は、チャネル制御プロセッサ110または111は、磁気ディスク装置3からのデータ読みだしをコントロール・ユニット制御プロセッサ120または121に伝える。チャネル制御プロセッサ110または111からのデータ読みだし要求を受けたコントロール・ユニット制御プロセッサ120または121は、磁気ディスク装置3から読み出した要求データを、コントロール・ユニット70または71及びデータ・バス70A～71Bを介してキャッシング・ユニ

ット80または81のどちらかに格納する。

【0034】コントロール・ユニット制御プロセッサ120または121からキャッシュ・ユニット80または81へのリードデータ格納完了報告を受けたチャネル制御プロセッサ110または111は、CPU1にデータ準備完了を報告し、CPU1の指示によりリードデータをキャッシュ・ユニット80または81から、データ・バス60A～61B及びチャネル・ユニット60または61を介してCPU1へリードデータを送る。

【0035】図2は、ディスク制御装置2内におけるチャネル・ユニット60, 61又はコントロール・ユニット70, 71と複数個のキャッシュ・ユニット80, 81又は不揮発メモリ・ユニット90, 91間を結ぶデータ・バス60A～71Bの信号構成を表している。本実施例においては、チャネル・ユニット60, 61又はコントロール・ユニット70, 71は、キャッシュ・ユニット80, 81及び不揮発メモリ・ユニット90, 91に対してマスター動作を行う。キャッシュ・ユニット80, 81、又は不揮発メモリ・ユニット90, 91は、チャネル・ユニット60, 61又はコントロール・ユニット70, 71に対してスレーブ動作を行う。

【0036】チャネル・ユニット60, 61又はコントロール・ユニット70, 71は、SEL<0-1>信号線を駆動することにより2面あるキャッシュ・ユニット80, 81、又は不揮発メモリ・ユニット90, 91を選択する。チャネル・ユニット60, 61、又はコントロール・ユニット70, 71は、キャッシュ・ユニット80, 81、又は不揮発メモリ・ユニット90, 91を選択した状態においてDTOUT/*DTIN信号線とCMD/*DTIN信号線の、図4に例示された信号の組合せによりデータ・バス60A～71Bの状態を指定する。図3に示すデータ・バスプロトコールに従ってチャネル・ユニット60, 61、又はコントロール・ユニット70, 71と、キャッシュ・ユニット80, 81、又は不揮発メモリ・ユニット90, 91との間でリードデータ、ライトデータ、コマンド、ステータスの交換を実施する。

【0037】このように、本実施例の外部記憶サブシステムにおいては、複数のキャッシュ・ユニット80, 81および不揮発メモリ・ユニット90, 91がそれぞれ互いに独立に設けられ、しかも、中央処理装置1の側のチャネル・ユニット60, 61や、磁気ディスク装置3のコントロール・ユニット70, 71の側からの、複数のキャッシュ・ユニット80, 81および不揮発メモリ・ユニット90, 91に対するアクセスが、複数のデータ・バス60A～71B、さらにはアクセス線80a～80d, アクセス線81a～81d, アクセス線90a～90d, アクセス線91a～91dを介して独立に行うことが可能な構成であるため、各データ・バスやアクセス線におけるデータ転送速度や、データ・バスの幅などを最適に設定できるという利点がある。

【0038】また、複数のキャッシュ・ユニット80, 81および不揮発メモリ・ユニット90, 91のいずれかに、あるいは、複数のデータ・バス60A～71B、さらにはアクセス線80a～80d, アクセス線81a～81d, アクセス線90a～90d, アクセス線91a～91dなどのいずれかに障害が発生しても、キャッシュ機能を維持することが可能となり、障害に対する耐性や動作の信頼性が確実に向上する。

【0039】

【実施例2】図5は、本発明の他の実施例である外部記憶サブシステムの構成の一例を示すブロック図である。

【0040】この実施例2の場合には、複数のキャッシュ・ユニット80, 81および不揮発メモリ・ユニット90, 91の各々が、それぞれ、複数のデータ・バス80A, データ・バス80Bおよびデータ・バス81A, データ・バス81Bおよびデータ・バス90A, データ・バス90B, データ・バス91A, データ・バス91Bを備え、これらの各データ・バスに対して、チャネル・ユニット60, 61およびコントロール・ユニット70, 71が、アクセス線60a～60d, アクセス線61a～アクセス線61d, アクセス線70a～アクセス線70d, アクセス線71a～アクセス線71dを介してそれぞれ独立に接続されるようにしたものである。

【0041】この場合にも、前記実施例1と同様の効果を得ることができる。

【0042】

【実施例3】図6は、本発明のさらに他の実施例である外部記憶サブシステムの構成の一例を示すブロック図である。

【0043】この実施例3の場合には、2本の共通データ・バス200Aおよび200Bを設けたものである。そして、その各々に対して、チャネル・ユニット60は、アクセス線60e, アクセス線60fを介して接続され、チャネル・ユニット61は、アクセス線61e, アクセス線61fを介して接続され、コントロール・ユニット70はアクセス線70e, アクセス線70fを介して接続され、コントロール・ユニット71は、アクセス線71e, アクセス線71fを介して接続され、キャッシュ・ユニット80は、アクセス線80e, アクセス線80fを介して接続され、キャッシュ・ユニット81は、アクセス線81e, アクセス線81fを介して接続され、不揮発メモリ・ユニット90は、アクセス線90e, アクセス線90fを介して接続され、不揮発メモリ・ユニット91は、アクセス線91e, アクセス線91fを介してそれぞれ独立に接続されるようにしたものである。

【0044】この場合にも、前記各実施例と同様の効果を得ることができる。

【0045】

【実施例4】図7は、本発明のさらに他の実施例である

外部記憶サブシステムの構成の一例を示すブロック図である。

【0046】この実施例4の場合には、それぞれが、複数個のキャッシュ・ユニットからなるキャッシュ・ユニット群800、キャッシュ・ユニット群801と、それぞれが複数個の不揮発メモリ・ユニットを含む不揮発メモリ・ユニット群900、不揮発メモリ・ユニット群901を備え、キャッシュ・ユニット群800、801および不揮発メモリ・ユニット群900、901は、群単位に、データ・バス60g～60j、データ・バス61g～61j、データ・バス70g～70j、データ・バス71g～71jを介して、チャネル・ユニット60、チャネル・ユニット61およびコントロール・ユニット70、コントロール・ユニット71に接続されるように構成したものである。

【0047】この場合にも、前記各実施例と同様の効果を得ることができる。

【0048】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0049】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0050】本発明の外部記憶サブシステムによれば、回転形記憶装置を含む外部記憶サブシステムにおいて複数個のキャッシュ・ユニットを、上位装置側の複数個のチャネル・ユニット、および回転形記憶装置の側の複数個のコントロール・ユニットに対して単純な構造で結合できる。従って、ディスク制御装置におけるキャッシュ機能・性能を向上させる効果がある。

【0051】また、本発明の外部記憶サブシステムによれば、キャッシュ・ユニットおよび当該キャッシュ・ユニットに対するアクセス経路の双方が多重化されているので、障害に対する耐性が良好で、信頼性の高いキャッシュ機能を実現することができるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例である外部記憶サブシステムの構成の一例を示すブロック図である。

【図2】ディスク制御装置内におけるチャネル・ユニット又はコントロール・ユニットと複数個のキャッシュ・ユニット又は不揮発メモリ・ユニット間を結ぶデータ・バスの信号構成の一例を示す説明図である。

【図3】チャネル・ユニット又はコントロール・ユニットと、キャッシュ・ユニット、又は不揮発メモリ・ユニットとの間でリードデータ、ライトデータ、コマンド、ステータスの交換を実施する際のデータ・バスプロトコールの一例を示す概念図である。

【図4】データ・バスの状態を指定するデータ・バスモードの一例を示す説明図である。

【図5】本発明の他の実施例である外部記憶サブシステムの構成の一例を示すブロック図である。

【図6】本発明のさらに他の実施例である外部記憶サブシステムの構成の一例を示すブロック図である。

【図7】本発明のさらに他の実施例である外部記憶サブシステムの構成の一例を示すブロック図である。

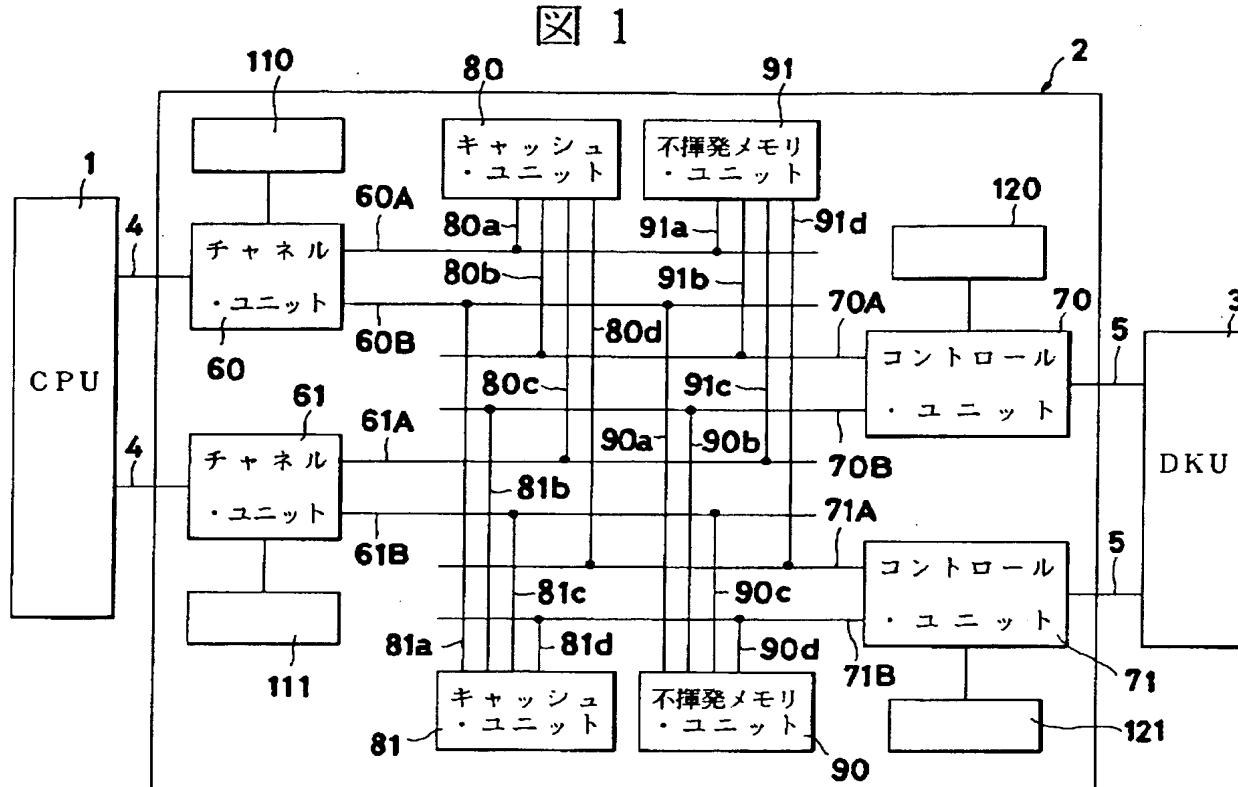
【符号の説明】

- 1 中央処理装置 (C P U) (上位装置)
- 2 ディスク制御装置 (外部記憶制御装置)
- 3 磁気ディスク装置 (回転形記憶装置)
- 4 チャネル・インターフェース
- 5 コントロール・インターフェース
- 60 チャネル・ユニット
- 60a～60d アクセス線
- 60e, 60f アクセス線
- 60g～60j データ・バス (第4のアクセス経路)
- 60A, 60B データ・バス (第1のアクセス経路)
- 61 チャネル・ユニット
- 61a～61d アクセス線
- 61e, 61f アクセス線
- 61g～61h データ・バス (第4のアクセス経路)
- 61A, 61B データ・バス (第1のアクセス経路)
- 70 コントロール・ユニット
- 70a～70d アクセス線
- 70e, 70f アクセス線
- 70g～70j データ・バス (第4のアクセス経路)
- 70A, 70B データ・バス (第1のアクセス経路)
- 71 コントロール・ユニット
- 71a～71d アクセス線
- 71e, 71f アクセス線
- 71g～71j データ・バス (第4のアクセス経路)
- 71A, 71B データ・バス (第1のアクセス経路)
- 80 キャッシュ・ユニット (キャッシュ機構)
- 80a～80d アクセス線
- 80e, 80f アクセス線
- 80A, 80B データ・バス (第2のアクセス経路)
- 81 キャッシュ・ユニット (キャッシュ機構)
- 81a～81d アクセス線
- 81e, 81f アクセス線
- 81A, 81B データ・バス (第2のアクセス経路)
- 90 不揮発メモリ・ユニット (キャッシュ機構)
- 90a～90d アクセス線
- 90e, 90f アクセス線
- 90A, 90B データ・バス (第2のアクセス経路)
- 91 不揮発メモリ・ユニット (キャッシュ機構)
- 91a～91d アクセス線
- 91e, 91f アクセス線
- 91A, 91B データ・バス (第2のアクセス経路)

110, 111 チャネル制御プロセッサ
 120, 121 コントロール・ユニット制御プロセッサ
 200A, 200B 共通データ・バス (第3のアクセ

ス経路)
 800, 801 キャッシュ・ユニット群
 900, 901 不揮発メモリ・ユニット群

【図1】



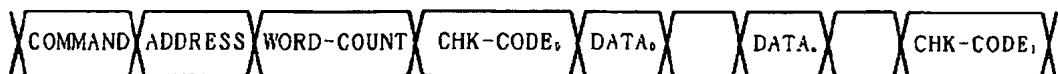
1 : 中央処理装置 (CPU)
 2 : ディスク制御装置
 3 : 磁気ディスク装置 (DKU)

4 : チャネル・インターフェース
 5 : コントロール・インターフェース

【図3】

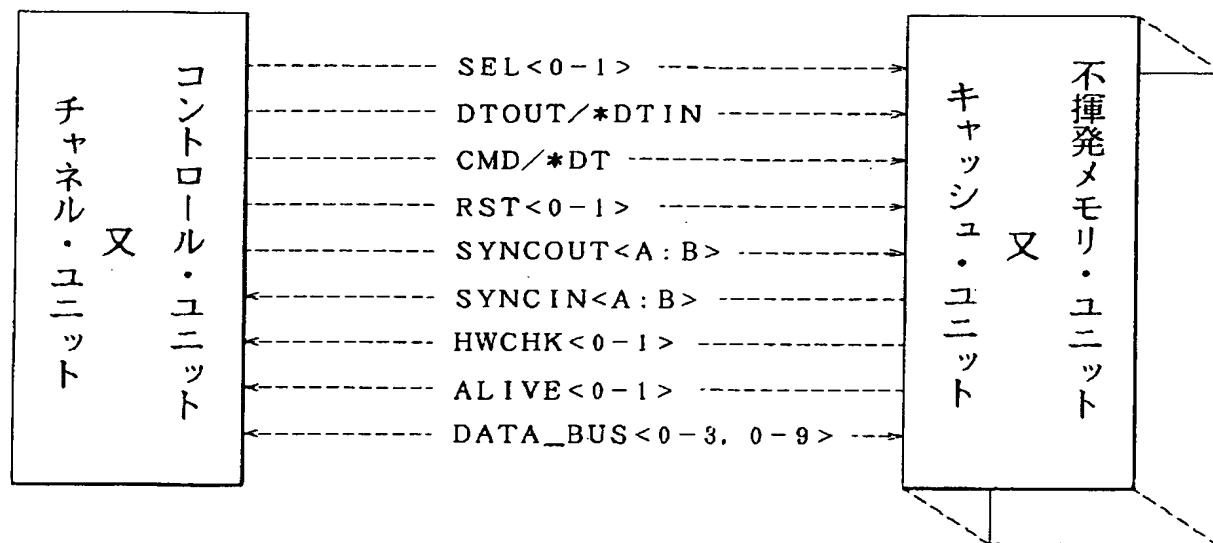
図3

データバスプロトコール



【図2】

図2



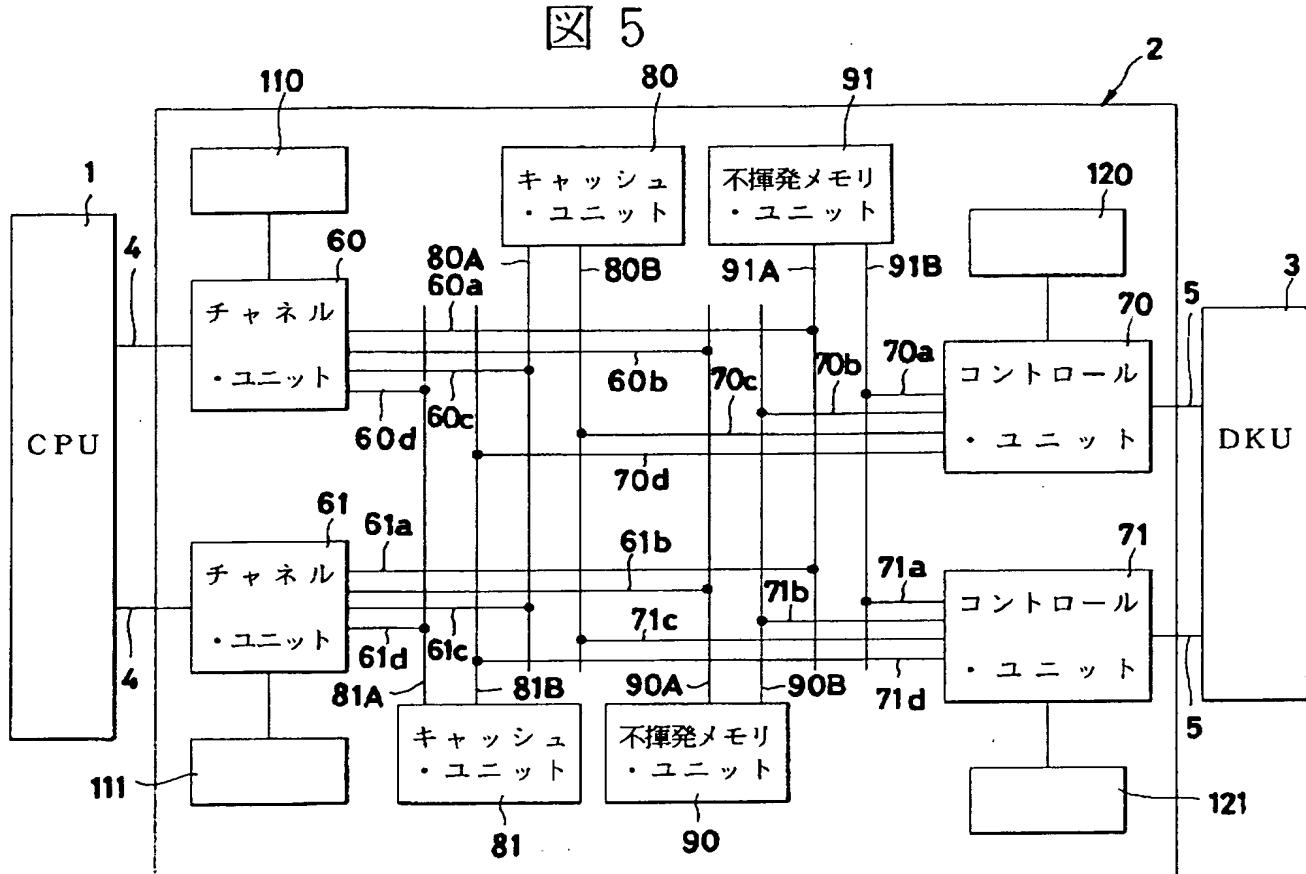
【図4】

図4

データバスモード

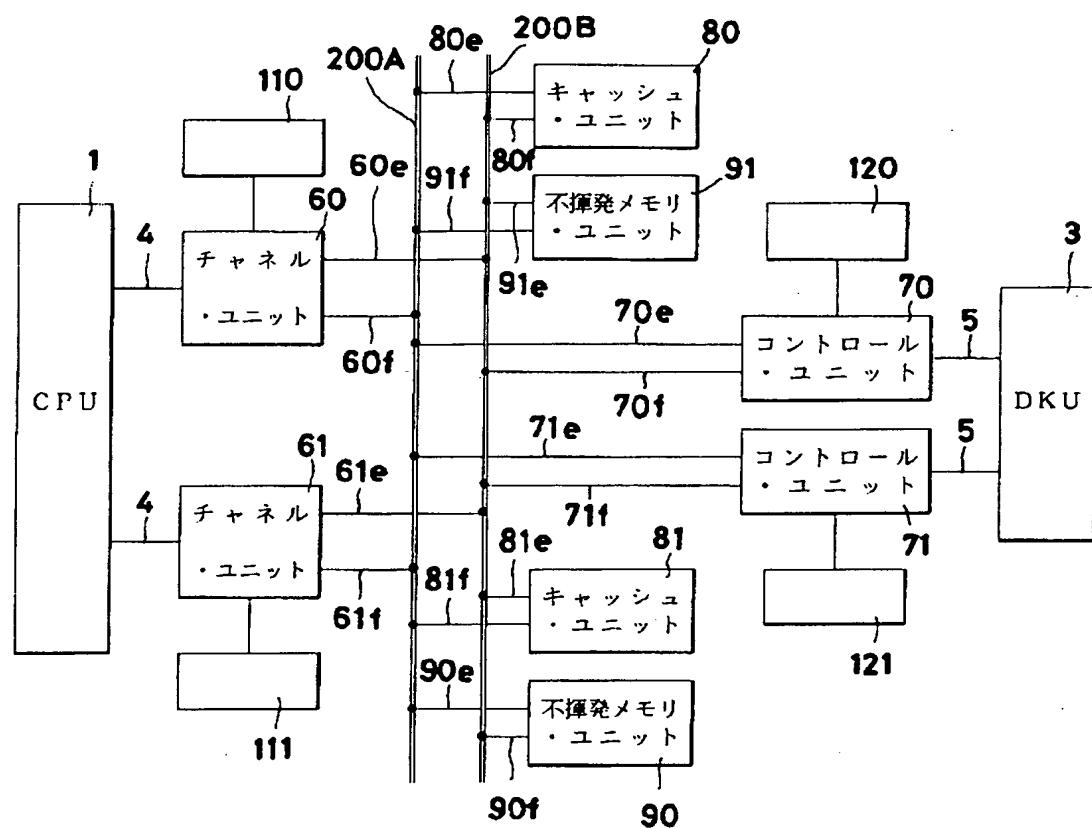
DUOUT/*DTIN	CMD/*DT	バスモード
1	1	コマンド転送
1	0	ライト・データ転送
0	1	ステータス転送
0	0	リード・データ転送

【図5】



【図6】

図 6



【図7】

